

Requested Patent: JP2001349930A

Title: MULTIPLE END OF TEST SIGNAL FOR EVENT BASED TEST SYSTEM ;

Abstracted Patent: US6404218 ;

Publication Date: 2002-06-11 ;

Inventor(s):

LE ANTHONY (US); RAJSUMAN ROCHIT (US); SUGAMORI SHIGERU (US);  
TURNQUIST JAMES ALAN (US) ;

Applicant(s): ADVANTEST CORP (JP) ;

Application Number: US20000559365 20000424 ;

Priority Number(s): US20000559365 20000424 ;

IPC Classification: G01R31/02 ;

Equivalents: CN1330273, DE10120080, TW508447 ;

**ABSTRACT:**

An event based test system for testing semiconductor devices under test (DUT). The event based test system is freely configured to a plurality of groups of pin units where each group is able to perform test operations independently from the other. The start and end timings of the test in each group are independently made by generating multiple end of test signals. The event based test system includes a plurality of pin units to be assigned to pins of the DUT, a signal generator for generating an end of test signal for indicating an end of current test which is generated for each pin unit independently from other pin units, and a system controller for controlling an overall operation in the event based test system by communicating with each pin unit. The end of test signal for each pin unit is selected by condition specified by the system controller and the selected end of test signal is provided to the system controller and to the other pin units

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出版公開番号

特開2001-349930

(P2001-349930A)

(43)公開日 平成13年12月21日(2001.12.21)

(51) Int.Cl.?

**識別記号**

FI

「**チーアクト**」(参考)

**G O I R 31/28**

**G O I R 31/28**

**H 2G132**

31/3183

Q

審査請求 未請求 請求項の数14 O.L. (全 11 頁)

(21) 出願番号 特願2001-115719(P2001-115719)

(22) 出願日 平成13年4月13日(2001.4.13)

(31)優先権主張番号 09/559365

(32) 優先日 平成12年4月24日(2000.4.24)

(33)優先権主張国 米国 (US)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 アンソニー リー

アメリカ合衆国、カリフォルニア州、サン  
タクララ、スコット・ブラバード 3201

(72)発明者 ジェイムス アラン ターンキスト

アメリカ合衆国、カリフォルニア州、サン  
タクララ、スコット・ブラバード 3201

(72)発明者 ロチェット ラジュマン

アメリカ合衆国、カリフォルニア州、サン  
タクララ、スコット・ブラバード 3201

## 最終頁に読む

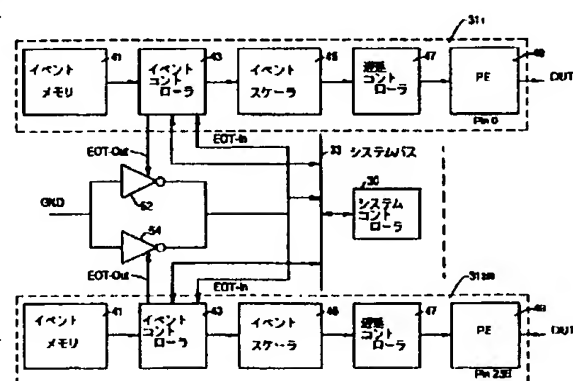
(54) 【発明の名称】 イベント型半導体テストシステム

〈57〉【要約】

【課題】テストシステム内で2以上のピンユニットグループがそれぞれ互いに独立してテスト動作を行い、テスト終了を示す信号を各ピンユニットグループに対応して複数個独立して発生するイベント型テストシステムを提供する。

【解決手段】イベント型テストシステムは、被試験デバイスピンに割り当てられる複数のピンユニットと、対応するピンユニットについてのテストの終了を示す信号を他のピンユニットと独立して発生するテスト終了信号発生器と、イベント型テストシステムの全体的動作を制御するシステムコントローラとを有する。各ピンユニットのテスト終了信号は、システムコントローラにより指定された条件により選択され、その選択されたテスト終了信号は、システムコントローラ及び他のピンユニットに供給される。

**图 4**



## 【特許請求の範囲】

【請求項1】 半導体デバイスをテストするためのイベント型半導体テストシステムにおいて、

互いに独立して動作することができ、被試験デバイス(DUT)をテストするために、デバイスピンに割り当てられる複数のピンユニットであって、その各ピンユニットは、

対応するデバイスピンに印加するテスト信号を形成するためのイベントタイミングデータを格納するイベントメモリと、

そのピンユニットの全体動作を制御するとともに、イベントメモリからのイベントタイミングデータに基づいてテスト信号を生成し、DUTの応答出力を評価するイベントコントローラと、により構成され、

対応するピンユニットについての現在実行しているテストの終了を示すテスト終了信号を発生するためのテスト終了信号発生手段であり、そのテスト終了信号は、他のピンユニットのテスト終了信号と互いに独立して発生され、

各ピンユニット内のイベントコントローラと通信し、イベントタイミングデータを含むテストプログラムを各ピンユニット内のイベントメモリに供給することにより、イベント型テストシステムの全体的動作を制御するシステムコントローラと、

により構成され、各ピンユニットのテスト終了信号は、システムコントローラにより指定された条件により選択され、その選択されたテスト終了信号は、システムコントローラ及び他のピンユニットに供給されることを特徴とするイベント型半導体テストシステム。

【請求項2】 上記テスト終了信号は、各ピンユニットに入力として供給されるテスト終了入力信号と、各ピンユニットから出力信号として形成されるテスト終了出力信号とにより構成される、請求項1に記載のイベント型半導体テストシステム。

【請求項3】 上記システムコントローラは、テスト終了信号を発生したピンユニットに次のテストプログラムを供給して、それによりそのピンユニットにおいて次のテストを実行する、請求項1に記載のイベント型半導体テストシステム。

【請求項4】 上記テスト終了信号発生手段は、ピンユニットからのテスト終了信号を選択するための条件を格納した出力制御レジスタを有し、そのテスト終了信号の選択条件は、システムコントローラにより、テストプログラムを介して指定される、請求項1に記載のイベント型半導体テストシステム。

【請求項5】 上記テスト終了信号発生手段は、ピンユニットからのテスト終了信号を選択するための条件を格納した出力制御レジスタを有し、そのテスト終了信号の選択条件は、システムコントローラにより、テストプログラムを介して指定され、上記テスト終了信号発生手段

はさらにその出力制御レジスタにより示された上記選択条件に基づいて、上記ピンユニットからのテスト終了信号を選択するためのゲート回路と、その選択されたテスト終了信号を他のピンユニットおよび上記システムコントローラに伝送するためのドライバとを有する、請求項1に記載のイベント型半導体テストシステム。

【請求項6】 上記テスト終了信号を伝送するための上記ドライバの出力は、ワイアード・オアの方式により互いに接続されている、請求項5に記載のイベント型半導体テストシステム。

【請求項7】 上記ピンユニットのそれぞれは、上記イベントタイミングデータをスケール係数に比例した値に変更するためのイベントスケラと、そのイベントスケラからの総合的遅延時間に基づいてイベントを形成するための遅延コントローラと、その遅延コントローラからのイベントをテスト信号として所定の振幅値とスルーレートにより被試験デバイスに供給するためのピンエレクトロニクスとをさらに有する、請求項1に記載のイベント型半導体テストシステム。

【請求項8】 半導体デバイスをテストするためのイベント型半導体テストシステムにおいて、

互いに独立して動作することができ、被試験デバイス(DUT)をテストするために、デバイスピンに割り当てられる複数のピンユニットであって、その各ピンユニットは、

対応するデバイスピンに印加するテスト信号を形成するためのイベントタイミングデータを格納するイベントメモリと、

そのピンユニットの全体動作を制御するとともに、イベントメモリからのイベントタイミングデータに基づいてテスト信号を生成し、DUTの応答出力を評価するイベントコントローラと、により構成され、

それぞれが上記ピンユニットを複数有して構成された複数のピンユニットグループであり、それらのピンユニットはそのピンユニットグループに自由に割り当てられ、対応するピンユニットグループについての現在実行しているテストの終了を示すテスト終了信号を発生するためのテスト終了信号発生手段であり、そのテスト終了信号は、他のピンユニットグループのテスト終了信号から独立して上記ピンユニットグループ毎に発生され、

各ピンユニット内のイベントコントローラと通信し、イベントタイミングデータを含むテストプログラムを各ピンユニット内のイベントメモリに供給することにより、イベント型テストシステムの全体的動作を制御するシステムコントローラと、

により構成され、各ピンユニットグループのテスト終了信号は、システムコントローラにより指定された条件により選択され、その選択されたテスト終了信号は、システムコントローラ及び他のピンユニットに供給されることを特徴とするイベント型半導体テストシステム。

【請求項9】 上記テスト終了信号は、同一ピンユニットグループ内の各ピンユニットに入力として供給されるテスト終了入力信号と、同一ピンユニットグループ内の各ピンユニットから出力信号として形成されるテスト終了出力信号とにより構成される、請求項8に記載のイベント型半導体テストシステム。

【請求項10】 上記システムコントローラは、テスト終了信号を発生したピンユニットグループ内のピンユニットに次のテストプログラムを供給して、それによりそのピンユニットグループにおいて次のテストを実行する、請求項8に記載のイベント型半導体テストシステム。

【請求項11】 上記テスト終了信号発生手段は、ピンユニットからのテスト終了信号を選択するための条件を格納した出力制御レジスタを有し、そのテスト終了信号の選択条件は、システムコントローラにより、テストプログラムを介して指定される、請求項8に記載のイベント型半導体テストシステム。

【請求項12】 上記テスト終了信号発生手段は、ピンユニットからのテスト終了信号を選択するための条件を格納した出力制御レジスタを有し、そのテスト終了信号の選択条件は、システムコントローラにより、テストプログラムを介して指定され、上記テスト終了信号発生手段はさらにその出力制御レジスタにより示された上記選択条件に基づいて、上記ピンユニットからのテスト終了信号を選択するためのゲート回路と、その選択されたテスト終了信号を他のピンユニットおよび上記システムコントローラに伝送するためのドライバとを有する、請求項8に記載のイベント型半導体テストシステム。

【請求項13】 上記テスト終了信号を伝送するための上記ドライバの出力は、ワイアド・オアの方式により互いに接続されている、請求項12に記載のイベント型半導体テストシステム。

【請求項14】 上記ピンユニットのそれぞれは、上記イベントタイミングデータをスケーリング係数に比例した値に変更するためのイベントスケラと、そのイベントスケラからの総合的遅延時間に基づいてイベントを形成するための遅延コントローラと、その遅延コントローラからのイベントをテスト信号として所定の振幅値とスルーレートにより被試験デバイスに供給するためのピンエレクトロニクスとをさらに有する、請求項8に記載のイベント型半導体テストシステム。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、半導体デバイスをテストするためのイベント型半導体テストシステムに関する。特に本発明は、テストシステム内で2以上のピンユニットグループがそれぞれ互いに独立してテスト動作を行い、テスト終了を示す信号を各ピンユニットあるいは各ピンユニットグループに対応して複数個独立して

発生する手段を有するイベント型テストシステムに関する。

##### 【0002】

【従来の技術】ICテストのような半導体テストシステムによって、ICやLSI等の半導体デバイスをテストする場合には、被試験デバイスに、あらかじめ定めたテストタイミングで該当するデバイスピンに、ICテストにより形成されたテスト信号（テストパターン）を供給する。そしてICテストは、被試験デバイスから、テスト信号にตอบสนองした出力信号を受信する。その出力信号を、ストロブ信号により所定のタイミングでサンプリングし、期待値データと比較することにより、被試験デバイスが正常に機能しているかを検証する。

【0003】伝統的な半導体テストシステムでは、テスト信号やストロブ信号のタイミングは、半導体テストシステムのテストレートまたはテストサイクルを基準として定義されている。更に、テスト信号の波形やベクターも、各テストサイクルに基づいて定義されている。このようなテストシステムは、サイクル型テストシステムと称されている。サイクル型テストシステムでは、各種の異なるタイプのデータを各テストサイクルとの関係において規定することを必要とするため、テスト信号等の発生のためのデータの記述やそのデータ処理は複雑になる。従って、サイクル型テストシステムは、各テストピンのハードウェアとソフトウェアがそれぞれ独立した、いわゆるパーピンアーキテクチャを実現することが難しい。

【0004】第1図は、このようなサイクル型テストシステムの例を示す概念図である。第1図では、シーケンスコントローラ12は、半導体テストシステム内に搭載されるテストプロセッサであり、テストシステム全体の動作を制御する。シーケンスコントローラ12からのアドレスデータに基づいて、パターンメモリ14は、各テストサイクルにおけるパターンデータと波形データを発生する。パターンデータと波形データは、ピンデータセレクタ16を介して、ピンデータフォーマッタ17に供給される。シーケンスコントローラ12からのアドレスデータによって、タイミングメモリ13から発生されるタイミングデータは、典型的には、各テストサイクルの開始点を基準とした遅延時間により特定したデータとなっている。このタイミングデータも、ピンデータフォーマッタ17に供給される。

【0005】ピンデータフォーマッタ17は、パターンメモリ14からのパターンデータと波形データ、及びタイミングメモリ13からのタイミングデータに基づいて、テスト信号やストロブ信号を形成する。ピンドライバ・コンパレータ18は、テスト信号に所定の振幅とスルーレートを付加して被試験デバイス（DUT）19に印加する。ピンデータセレクタ16は、対応するテストピンのパターンデータと波形データを選択的にピンデ

ータフォーマット17に送信する。即ち、ピンデータフォーマット17は、各テストピン（テストチャンネル）と各データフォーマットとが1対1の対応関係として構成された多数のデータフォーマットを有している。同様に、ピンドライバ・コンパレータ18も、多数のテストピンに対応する多数のドライバとコンパレータにより構成される。

【0006】ピンドライバ・コンパレータ18は、テスト信号を印加した結果としてDUT19から出力されるデバイス応答信号を受信する。この応答信号は、ピンドライバ・コンパレータ18において、ストロブ信号のタイミングにおいて、あらかじめ定められたスレッシュOLD電圧を基準として、アナログコンパレータによりロジック信号に変換される。その結果得られたロジック信号は、ロジックコンパレータにより期待値データと比較される。このロジック比較の結果は、DUTのパス・フェイルを示し、DUT19のアドレスに対応するフェイルメモリ15に格納される。フェイルメモリ15に格納されたテスト結果は、フェイル解析において使用される。

【0007】上述のサイクル型テストシステムでは、全てのテストピン（デバイスピン）は、パターンデータとタイミングデータをそれぞれ格納するパターンメモリ14とタイミングメモリ13における同じメモリ領域を共用している。即ち、各テストピンは、それぞれ互いに独立して動作することはできない。このように同じメモリ格納領域を共有する方法では、テストプログラムを、全てのテストピンについて、最初から最後まで実行させなければならない。従って、サイクル型テストシステムは本質的に、1のテスト終了の表示、すなわちテスト終了（EOT）信号、の発生機構を必要とする。

【0008】このような従来技術のテストシステムにより、最近の複雑な半導体デバイスをテストする場合において、被試験デバイスに2またはそれ以上の異なる機能ブロックが含まれているときは、テスト時間が増加するという問題が生じる。例えば、システム・オン・チップ（SOC）のICデバイスは、意図する総合的な機能を実現するために、複数の機能ブロックすなわちコアを有している。典型的なSOCデバイスは、そのSOCデバイスを構成する各機能ブロック（コアやモジュール）用に、複数のクロック周波数を必要とする。これらのクロック周波数は、共通の高調波周波数を何ら有せず、したがって互いに非同期的な関係となっていることが多い。

【0009】SOCデバイスの例を第2図に示す。この例は、典型的なマルチメディアSOCである。SOC19は、PLL（フェーズロックループ）22、TVエンコーダ23、メモリコントローラ24、表示コントローラ25、PCI（周辺装置接続）モジュール26、RISC（縮小命令コンピュータ）27、及びMPEGエンジン28、を含むいくつかの機能ブロックや機能コアを

有する。第2図は、各機能コアは、互いに非同期的なクロック周波数を有することを示している。

【0010】この例の各機能コアは、それぞれ異なるクロック周波数で動作するため、各機能コアについてのテストは、それぞれ別個に実行しなければならない。しかし、サイクル型テストシステムでは、テスト信号とストロブ信号は、同じパターンメモリとタイミングメモリからのデータに基づいて形成されるので、互いに非同期的なテスト信号を同時に生成することは不可能である。すなわち、従来技術によるサイクル型テストシステムは、それぞれ異なるタイプのテストを同時に並列的に実施することはできない。すなわち従来のテストシステムでは各機能コアを、1個ずつ個別に直列的にテストしなければならない。このため、全体としてのテスト時間は、全ての機能コアのテスト時間を合計したものになる。

【0011】第3図は、第2図のSOC19をテストするプロセス例を示している。前述のように、各機能コアは、テスト開始t0からテスト終了teまで1個ずつ直列的にテストされる。テストシステムは、PCIブロックを、テスト開始t0からテスト終了t1までの間テストし、次にRISCブロックを、テスト開始t1からテスト終了t2までの間テストし、という具合にテストを実行する。結果として、1つの機能コアがテストされている間に（第3図の実線）、他の全てのコアは遊んでいる状態となっている（第3図の点線）。従って、第2図のSOCデバイスのテストを全て完了するまでには非常に長い時間を要する。

【0012】

【発明が解決しようとする課題】従って、本発明の目的は、互いに異なるタイプの複数のテストを同時に並列に実行することができるイベント型テストシステムを提供することにある。

【0013】また、本発明の他の目的は、複数のテスト終了信号を生成する手段を用いて、それぞれ異なる複数のテストを同時に並列的に行うことのできるイベント型テストシステムを提供することである。

【0014】また、本発明の更に他の目的は、各ピンユニットグループがそれぞれ互いに独立してテスト動作を行うことができ、それぞれのピンユニットグループについてのテスト終了を、他のピンユニットグループから互いに独立して形成することのできるイベント型テストシステムを提供することである。

【0015】

【課題を解決するための手段】本発明は、イベント型テストシステムであり、DUTにテスト信号を供給するために各種のタイミングを有したイベントを生成し、ストロブ信号のタイミングでDUT出力を取り出して評価することにより被試験デバイス（DUT）をテストするものである。イベント型テストシステムは、複数のテストピンのグループ、あるいはテスト動作を互いに独立に

実行できる複数のピンユニットグループを自由に組み合わせて構成することができる。各ピンユニットグループについてのテストの開始および終了のタイミングは、複数のテスト終了信号を生成する手段により互いに独立に形成される。

【0016】本発明では、イベント型テストシステムは、被試験デバイス(DUT)をテストするために、デバイスピンに割り当てる複数のピンユニットを有する。その各ピンユニットは互いに独立して動作することができる。各ピンユニットは、対応するデバイスピンに印加するテスト信号を形成するためのイベントタイミングデータを格納するイベントメモリと、ピンユニットの全体動作を制御するとともに、イベントメモリからのイベントタイミングデータによりテスト信号を生成し、DUTの応答出力を評価するイベントコントローラとにより構成されている。

【0017】イベント型テストシステムは更に、テスト終了信号の発生手段とシステムコントローラを有する。テスト終了信号発生手段は、対応するピンユニットについての現在のテストの終了を示すテスト終了信号を発生し、そのテスト終了信号は、他のピンユニットのテスト終了信号と互いに独立している。システムコントローラは、各ピンユニット内のイベントコントローラと通信し、イベントタイミングデータを含むテストプログラムを各ピンユニット内のイベントメモリに供給することにより、イベント型テストシステムの全体的動作を制御する。各ピンユニットのテスト終了信号は、システムコントローラで特定された条件により選択され、その選択されたテスト終了信号は、システムコントローラ及び他のピンユニットに供給される。

【0018】本発明によれば、イベント型テストシステムは、半導体デバイスを評価するためのテスト信号における各イベントを、イベントメモリ内に格納するイベントデータに基づいて各種のタイミングで生成することができる。本発明のイベント型テストシステムは、複数のテストピンのグループ、あるいはテスト動作を互いに独立に実行できる複数のピンユニットグループを自由に組み合わせて構成することができる。各ピンユニットグループについてのテストの開始および終了のタイミングは、複数のテスト終了信号を生成する手段により互いに独立して発生される。

【0019】従って、本発明のイベント型テストシステムは、互いに異なる複数のテストを同時に並行して実行することができる。更に、本発明のイベント型テストシステムは、複数のピンユニットをいくつかのピンユニットグループに自由に割り当てることができ、対応するピンユニットグループについてのテストの終了を示すテスト終了信号を複数発生することができる。各ピンユニットグループは、テスト動作を他のピンユニットグループから独立して実行する。従って、本発明のイベント型テ

ストシステムは、互いに異なる複数のテストを同時に並列に実行することができる。

#### 【0020】

【発明の実施の形態】第4図は、本発明のイベント型テストシステムの基本的構成例を示している。本発明のイベント型テストシステムでは、各テストピンは互いに独立してテスト動作を行い、互いに独立してテスト終了信号を発生する。イベント型テストシステムでは、所望のテスト信号とストロープ信号は、イベントメモリからのイベントデータに基づいて、各ピン毎に(パーピン)直接に形成される。例えばシステム・オン・チップ(SOC)デバイスの機能コア等の機能ブロックは、複数のデバイスピンを通して互いにインタフェースするので、イベント型テストシステムのピンユニット(テストピン)は、実際のテスト動作においては、複数のピンユニットグループ(テストモジュール)に分けられる。例えば、イベント型テストシステムは、8個のピンユニットグループを有し、各ピンユニットグループには32個あるいは64個のピンユニットを割り当てる。本発明では、各ピンユニットグループは他のピンユニットグループと別個独立に動作する。各ピンユニットグループは、意図したテストが終了したとき、あるいは被試験デバイス(DUT)にフェイルが検出された場合等に、テスト終了信号(EOT)を発生する。

【0021】イベント型テストシステムにおいて、イベントとは被試験デバイスのテストに使用する信号のロジック状態の変化点を意味する。例えば、このような変化点は、テスト信号の立ち上がりエッジや下りエッジ、ストロープ信号のタイミングエッジ等である。イベントのタイミングは、基準時間点からの時間長として定められる。例えば、このような基準時間点は、以前のイベントのタイミングであり、このようなイベントのタイミングは、直前のイベントと現在のイベント間の時間差で表現される。このような基準時間点は、あるいはまた、全てのイベントに共通の固定した開始時間点である。

【0022】イベント型テストシステムのタイミングメモリ(イベントメモリ)に格納するタイミングデータは、サイクル型テストシステムにおけるような各テストサイクル毎に、そのテストサイクルとの関連で波形、ベクター、遅延時間の各データを記述するような、複雑なデータを必要としないので、そのタイミングデータの記述は大幅に単純化できる。イベント型テストシステムでは、テスト信号とストロープ信号は、イベントタイミングデータから直接に形成することが出来る。このような単純性のために、各テストピン(ピンユニット)を別個独立に動作させることができる。

【0023】イベント型テストシステムでは、上述のように、イベントメモリに格納する各イベントのタイミングデータは、例えば現在のイベントと直前のイベントとの間の時間差で表現される。このような近接した2のイ



イベント間の時間差（デルタタイム）は、固定の開始時点からの時間差（絶対時間）と異なりその値は小さいので、メモリ内のデータビット数を少なくすることができ、その結果全体として必要なメモリ容量を減少させることができる。

【0024】高いタイミング精度によりイベントを生成するためには、イベント間の時間長（遅延時間値）は、基準クロックサイクルの整数倍（整数部またはイベントカウント）データと、基準クロックサイクルの端数（端数部またはイベントバーニア）データとの組み合わせにより規定される。イベントカウントとイベントバーニア間のタイミング関係例を第5図（A）～第5図（E）のタイミングチャートに示す。この例では、第5図（A）の基準クロックは、基準クロックサイクル（基準クロック周期） $T$ を有している。イベント0、イベント1、及びイベント2は、第5図（C）に示すようなタイミング関係となっている。

【0025】イベント0を基準にしてイベント1を規定するために、2つのイベント間の時間差（遅延時間） $\Delta V_1$ がイベントメモリに格納される。イベント2のタイミングは、イベント1からの時間差（遅延時間） $\Delta V_2$ として規定される。同様に、第5図（E）のイベント3のタイミングは、イベント2からの時間差（遅延時間） $\Delta V_3$ で定められる。イベント型テストシステムでは、イベントメモリ内のタイミングデータは、現在のイベントの最終的なタイミングを形成するために、以前の全てのイベントのデータを読み出し、その時間差を合計する。

【0026】従って、第5図（C）の例では、イベント1を生成するには、第5図（B）のタイミング関係に基づいて、 $N_1 T$ がイベントカウントであり基準 $T$ の $N_1$ 倍であることを示し、 $\Delta_1 T$ がイベントバーニアであり、基準クロック周期 $T$ の端数分を示している。同様に、イベント0を基準にして第5図（E）のイベント3を生成するには、以前の全てのイベントのタイミングデータを加算して、 $N_3 T + \Delta_3 T$ で表現される総合的な時間差を算出する。 $N_3 T$ はイベントカウントであり、基準クロック周期 $T$ の $N_3$ 倍であることを示し、 $\Delta_3 T$ はイベントバーニアであり、基準クロック周期 $T$ の端数であることを示す。

【0027】第4図に戻り、本発明のイベント型テストシステムは、多数のピンユニット31（テストピンまたはイベントテスト）を有し、各ピンユニットは互いに独立して、対応するDUTのピンにテスト信号を供給し、そのDUTの応答出力を評価することができる。第4図の例では、個数256のピンユニット31<sub>1</sub>～31<sub>256</sub>が、イベント型テストシステムに搭載されている。ドライバ52および54は、ピンユニット31<sub>1</sub>～31<sub>256</sub>との間でテスト終了信号を受信しあるいは送信する。システムコントローラ30（ホストコンピュータ）

は、システムバス33を介して全てのピンユニット31と通信し、イベント型テストシステムの総合的動作を制御する。

【0028】各ピンユニット31は、イベントメモリ41、イベントコントローラ43、イベントスケーラ45、遅延コントローラ47、及びピンエレクトロニクス（PE）49を有している。各ピンユニットにおいて、イベントメモリ41は、基本的にイベントタイミングデータとイベントタイプデータで構成するイベントデータを格納する。一般に、イベントタイミングデータは、2つの隣接したイベント間の時間差を規定している。このようなイベントタイミングデータは、第5図（B）と第5図（E）に示すように、基準点から現在のイベントまでの総合的遅延時間を生成するために用いられる。イベントタイプデータは、第5図（C）と第5図（E）に示すドライブイベントとサンプリングイベントのようなイベントの種類を規定する。

【0029】イベントコントローラ43は、マイクロプロセッサのようなコントローラであり、ピンユニット31の全体動作を制御する。イベントコントローラ43は、システムバス33を介して、システムコントローラ（ホストコンピュータ）30からインストラクションを受信し、ピンユニット31にテストプログラムをロードして、そのテストプログラムを実行する。イベントコントローラ43は、被試験デバイスの所定ピンにテスト信号を供給し、被試験デバイスの応答出力を評価する。またイベントコントローラ43は、イベントメモリ41からのイベントタイミングデータを加算して、各イベントの総合的な遅延時間を算出する。さらにイベントコントローラ43は、アドレスシーケンサとして機能し、他のピンユニットと別個独立して、該当するピンユニット内のイベントメモリ41にアドレスデータを供給する。

【0030】第5図に示すように、イベントタイミングデータにより規定される2つの隣接するイベント間の時間差は、基準クロック周期の整数倍データと端数データとして構成されている。従って、総合的遅延時間を算出するプロセスでは、端数データの合計が基準クロック周期よりも大きくなる場合が生じ、その際にはキャリーオーバー（桁上げ）動作を行う。

【0031】イベントスケーラ45は、イベントコントローラ43からの総合的遅延時間データをスケール（拡大縮小）するために用いられる。イベントスケーラ45は、総合的遅延時間データを、スケール係数に比例した値に変更する。遅延コントローラ47は、イベントスケーラ45からスケールされた総合的遅延時間に基づいて、ドライブイベントやサンプリングイベント等のテストパターンを生成する。テストパターンは、ピンエレクトロニクス49を介してDUTに印加される。ピンエレクトロニクス49は、DUTにテストパターン（ドライブイベント）を送信するドライバと、サン

アリングイベントのタイミングに基づいてDUTからの応答出力を比較するコンパレータを有している。

【0032】各ピンユニット31は、同じテストシステム内において、それぞれ独立して動作を開始しかつ停止することができる。例えば、対応するデバイスピンにエラーが検出された場合には、ピンユニットはそのテスト動作を停止する。本発明では、各ピンユニットは、そのようなテスト終了信号(EOT)を他のピンユニットに送信し、他のピンユニットからのテスト終了信号(EOT)を受信する。ドライバ52と54は、ピンユニットとピンユニット間のテスト終了信号の送受のためのバッファとして機能する。第6図を参照して後で説明するが、ドライバ52と54は、さらに、指定された条件を基にしてテスト終了信号を選択するための手段を有している。

【0033】本発明において、各ピンユニット31は、テスト終了の出力信号(EOT-Out)と、テスト終了の入力信号(EOT-In)の2種のテスト終了信号を取り扱う。第4図に示す各ピンユニットのイベントコントローラ43は、テスト終了出力信号(EOT-Out信号)を発生し、かつテスト終了入力信号(EOT-In信号)を受信する。例えば、テスト終了入力信号(EOT-In信号)は、そのテストユニットによるテストプログラムの実行を停止するために用いられ、テスト終了出力信号(EOT-Out信号)は、システムのサービスを要求するためのシステムインタラプトとして用いられる。

【0034】第6図は、ピンユニット31により、テスト終了出力信号(EOT-Out信号)を発生するための回路構成例を示す。イベントコントローラ43は、DUTの対応するピンにおいて検出したフェイルの各種タイプによるテスト終了、ユーザーが指定した条件によるテスト終了、あるいはテストプログラムの完了によるテスト終了等を含む各種の条件によりテスト終了信号を生成する。出力コントロールレジスタ58は、イベントコントローラ43からの1またはそれ以上のテスト終了信号のタイプを選択するために設けられている。システムコントローラ30からのシステムプログラムにより、出力コントロールレジスタ58の内容を制御する。

【0035】アンドゲート55<sub>1</sub>-55<sub>8</sub>は、それぞれイベントコントローラ43の出力と出力コントロールレジスタ58とに接続され、選択されたテスト終了信号だけがドライバ57<sub>1</sub>-57<sub>8</sub>で発生される。ドライバ57<sub>1</sub>-57<sub>8</sub>の出力は、ワイヤード・ORの形態で接続されている。図には無いが、イベントコントローラ43に供給されるテスト終了入力(EOT-In)信号を発生するための回路構成も、上述した構成と同様にして形成できる。そのテスト終了入力信号用の回路構成において、上記の出力コントロールレジスタ58と同様な入力コントロールレジスタを、イベントコントローラ43に送信

するテスト終了入力(EOT-In)信号のタイプを選択するための選択信号を形成するために用いることができる。

【0036】被試験デバイスは、例えば32またはそれ以上のような多数のI/Oピンを有するため、ピンユニット31を、いくつかのピンユニットグループ(テストモジュール)に分割して用いることが好ましい。例えば、本発明のテストシステムは、互いに独立して動作できる8個の異なるピンユニットグループに分けて構成されている。従って、256個のピンユニット31<sub>1</sub>-31<sub>256</sub>を有する第4図の例では、各ピンユニットグループ(テストモジュール)は、32個のピンユニットを有し、同じグループ内の32個のピンユニットについては、同一のテスト終了信号が割り当てられる。

【0037】このような構成例を第7図に示しており、8個のテスト終了出力(EOT-Out)信号と8個のテスト終了入力(EOT-In)信号が、8個のピンユニットグループにそれぞれ割り当てられている。この例では、テスト終了入力(EOT-In)線1とテスト終了出力(EOT-Out)線1は、ピンユニット31<sub>1</sub>-31<sub>32</sub>を有する第1ピンユニットグループに割り当てられている。テスト終了入力(EOT-In)線2とテスト終了出力(EOT-Out)線2は、ピンユニット31<sub>33</sub>-31<sub>64</sub>を有する第2ピンユニットグループに割り当てられている。このようにして、テスト終了入力(EOT-In)線1-8とテスト終了出力(EOT-Out)線1-8は、それぞれピンユニット31<sub>1</sub>-31<sub>256</sub>による該当グループに割り当てられる(第7図では簡略のため160個のピンユニットのみを示している)。

【0038】第4図に基づいて上述したように、各ピンユニット31には、上記のイベントコントローラ43のように、テスト終了信号を発生するためのロジック回路を有している。テスト終了信号は、出力コントロールレジスタ58(第6図)を介して、システムソフトウェアにより指定された各種条件に基づいて発生される。選択されたテスト終了信号は、例えば第6図に示すようなワイヤード・OR(オープン・ドレイン)の形式で出力される。このような8個のオープン・ドレインのテスト終了出力信号は、テスト終了出力(EOT-Out)線1-8のいずれか1つに接続されている。同様に、8個のオープン・ドレインのテスト終了入力信号は、テスト終了入力(EOT-In)線1-8のいずれか1つに接続されている。

【0039】前述のように、テスト終了(EOT)信号の機能は、同じピンユニットグループ(テストモジュール)内の全てのピンユニットに、テストプログラムの実行を停止させるためのリクエスト、システムサービスのリクエスト、および現在のテストを停止して、次のテストへ移行するリクエスト等である。したがって、8個の



ピンユニットグループ（テストモジュール）は、被試験デバイスについて、それぞれ異なる8個のテストを同時に並列に実行することができる。

【0040】第8図は、第2図に示すシステムオンチップ（SOC）ICを評価する場合における各機能コアについての、テスト時間の割り当て例を示している。すなわち第8図は、第3図に示す従来技術によるテスト時間の割り当てに対し、本発明により、テスト時間の大幅な短縮が可能であることを示している。この例では、イベントテストシステムは、第1のピンユニットグループ（ピンユニット31<sub>1</sub>-31<sub>32</sub>）及びテスト終了線1を、被試験デバイスのPCIコアに割り当てる。また第2のピンユニットグループ（ピンユニット31<sub>33</sub>-31<sub>64</sub>）およびテスト終了線2を、被試験デバイスのRISCコアに割り当てる、等のように各機能コアについてのピンユニットグループとテスト終了線をそれぞれ割り当てる。

【0041】したがって、PCI、RISC、メモリコントローラ、エンコーダ、およびディスプレイの各機能コアは、それぞれピンユニットグループ（テストモジュール）1-5によりテストされ、テスト終了線1-5がそれぞれピンユニットグループ1-5に割り当てられている。各機能コアのテストの終了において、テスト終了信号が発生されて、システムコントローラ30にサービスを要求する。このテスト終了信号を検出すると、システムコントローラ30は、他のピンユニットグループにおけるテストプログラムの実行を妨げることなく、該当するピンユニットグループに次のテストプログラムをロードし、その該当する機能コアについて次のテストプログラムを開始する。

【0042】第8図において、A、B、Cの3種のテストプログラムを、被試験システムオンチップ（SOC）のテストに用いると想定する。それぞれの機能コアについてのテストプログラムAの実行により、それぞれEOT信号が検出されると、テストシステムは、次のテストプログラムBをロードする。更に、それぞれの機能コアについてテストプログラムBを実行して、それぞれEOT信号が検出されると、次のテストプログラムCをロードする。各テストプログラムは、それぞれ別個独立に各機能コアについて実施できるので、完全な並列テストが実行でき、全体としてのテスト時間を大幅に減少することができる。

【0043】第9図（A）と第9図（B）は、本発明のサイクル型テストシステムと、従来技術におけるイベント型テストシステムとの間の、メモリ管理構造の相違を示す。従来のテストシステムでは、単一のアドレスシーケンサにより、パターンメモリによるテストパターンの発生とフェイルメモリにおけるフェイル情報の格納の各動作を制御している。

【0044】従って、第9図（A）に示すように、例え

ばフェイル解析のプロセスでは、フェイルメモリは、順次直列的にアクセスされるので、全ての機能コアについてフェイル解析を完了するためには、長い解析時間を必要とする。本発明のイベント型テストシステムでは、各ピンユニットは、別個独立したフェイルメモリとメモリアドレスシーケンサを有している。従って、テストの実行時に、フェイル情報をフェイルメモリに並列に同時に格納することができ、またフェイル解析の段階でフェイル情報を並列に同時に読み出すことにより、フェイル解析の時間を大幅に減少させることができる。

【0045】本発明の他の特徴は、デバイステスト用のテストパターン発生を単純化できることである。従来技術によるサイクル型テストシステムを用いる場合には、個別のテストパターンを発生させることは、デバイスのテスト時間が増加するために推奨されない。サイクル型テストシステムにより、被試験デバイス（DUT）を複数の機能ブロックとして並列にテストするための複数のテストパターンブロックを作成するには、非常に煩雑な計画と多大な労力を必要とする。またそのようなテストパターンを作成できたとしても、各機能ブロックに対する無駄時間を省くことは、事実上不可能である。しかし本発明のイベント型テストシステムによる、複数のテスト終了を用いた実施例では、テストプログラムの開発者は、個々の機能ブロックのテストの範囲にのみ注目すればよい。各機能ブロックのためのテストパターンは、単一のイベントのテストプログラムとして扱われる。これにより、同一のテスト時間内で、DUTの各機能ブロックについてより多くのテストを実施できる。

【0046】本発明の更に他の特徴は、テストシステムの規模や構成を自由に変更できる（スケーラブル）構造となっていることである。本発明のテストシステムは、各テスト終了信号の形成のためのコントロールロジックが同一なので、テストシステムのピンユニットの構成や割り当てを自由に変更できる。各テスト終了信号のグループ（ピンユニットグループ）は、2個のピンユニットのような少数のピンユニット構成からシステム全体における全てのピンユニットのように多数のピンユニット構成まで含むことができる。このようなテストシステムの構造により、次世代のテストシステムへの拡張、例えば被試験デバイスのピン数がさらに増大する場合にも対応できる。

【0047】好ましい実施例しか明記していないが、上述した開示に基づき、添付した請求の範囲で、本発明の精神と範囲を離れることなく、本発明の様々な形態や変形が可能である。

【0048】

【発明の効果】本発明によれば、イベント型テストシステムは、半導体デバイスを評価するためのテスト信号における各イベントを、イベントメモリ内に格納するイベントデータに基づいて各種のタイミングで生成すること

ができる。本発明のイベント型テストシステムは、複数のテストピンのグループ、あるいはテスト動作を互いに独立に実行できる複数のピンユニットグループを自由に組み合わせて構成することができる。各ピンユニットグループについてのテストの開始および終了のタイミングは、複数のテスト終了信号を生成する手段により互いに独立して発生される。

【0049】従って、本発明のイベント型テストシステムは、互いに異なる複数のテストを同時に並行して実行することができる。更に、本発明のイベント型テストシステムは、複数のピンユニットをいくつかのピンユニットグループに自由に割り当てることができ、対応するピンユニットグループについてのテストの終了を示すテスト終了信号を複数生成することができる。各ピンユニットグループは、テスト動作を他のピンユニットグループから独立して実行する。従って、本発明のイベント型テストシステムは、互いに異なる複数のテストを同時に並列に実行することができる。

#### 【図面の簡単な説明】

【図1】従来技術によるサイクル型テストシステムの基本的構成例を示す概念ブロック図である。

【図2】複数の機能コアを有するシステム・オン・チップ（SOC）である被試験デバイスの例を示すブロック図である。

【図3】第1図のサイクル型テストシステムにより、第2図のシステム・オン・チップ（SOC）をテストする場合のテストプロセスを示すタイミングチャートである。

【図4】複数のテスト終了信号を生成することのできる機能を有した本発明のイベント型テストシステムの基本

的構成例を示す概念ブロック図である。

【図5】イベント型テストシステムにおける、発生すべきイベント間のタイミング関係とそれに対応するタイミングデータの例を示すタイミング図である。

【図6】本発明のイベント型テストシステムによるテスト終了信号の生成ロジック部の回路構成例を示す回路図である。

【図7】ピンユニットを8個のピンユニットグループに分けた例を示す概念図であり、各ピンユニットグループは、32のピンユニットを有し、他のグループとは別個独立にテスト終了信号を発生する。

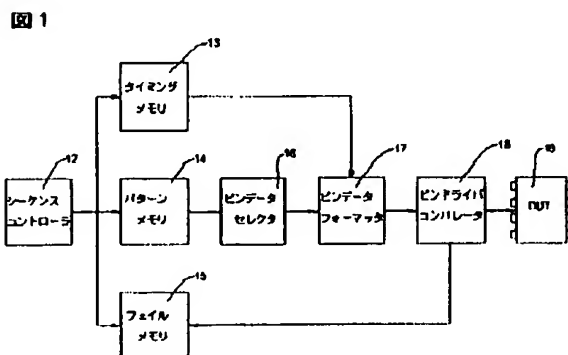
【図8】本発明のイベント型テストシステムにより、第2図のシステム・オン・チップ（SOC）デバイスをテストする際のテストプロセス例を示すタイミングチャートである。

【図9】従来技術によるサイクル型テストシステムと本発明のイベント型テストシステム間でのメモリ管理の相違を示すための概念図である。

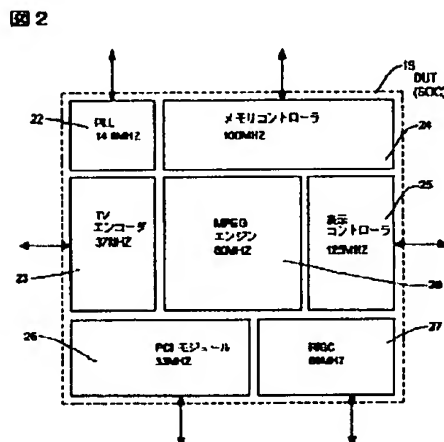
#### 【符号の説明】

- 30 システムコントローラ（ホストコンピュータ）
- 31 ピンユニット
- 33 システムバス
- 41 イベントメモリ
- 43 イベントコントローラ
- 45 イベントスケラ
- 47 遅延コントローラ
- 49 ピンエレクトロニクス（PE）
- 52 ドライバ
- 54 ドライバ

【図1】

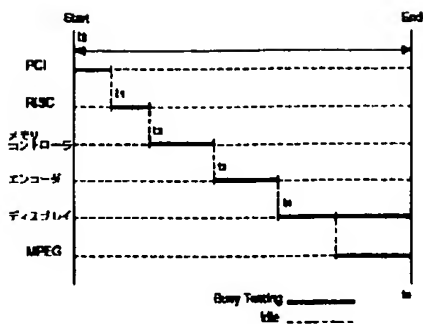


【図2】



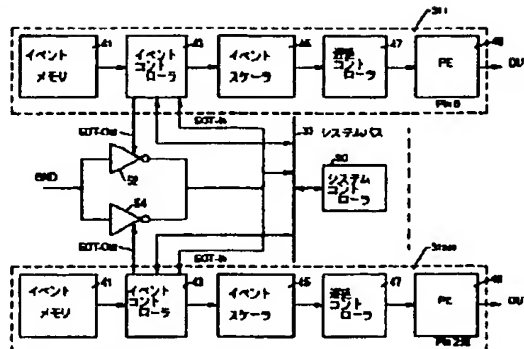
【図3】

図 3



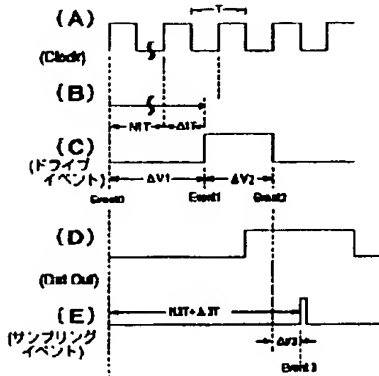
【図4】

図 4



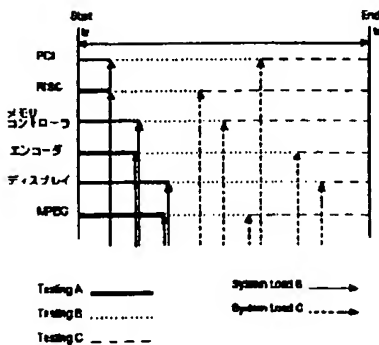
【図5】

図 5



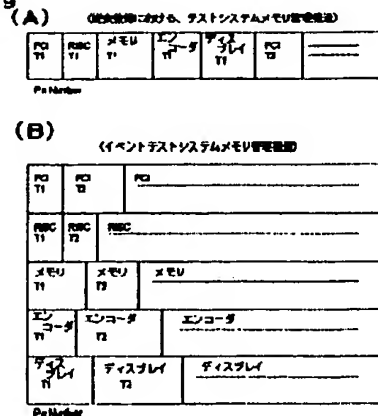
【図8】

図 8



【図9】

図 9



(11) 101-349930 (P2001-34UJL8)

フロントページの続き

(72)発明者 菅森 茂

アメリカ合衆国、カリフォルニア州、サン  
タクララ、スコット・ブラバード 3201

Fターム(参考) 2G132 AE10 AE22 AG01 AL09 AL26